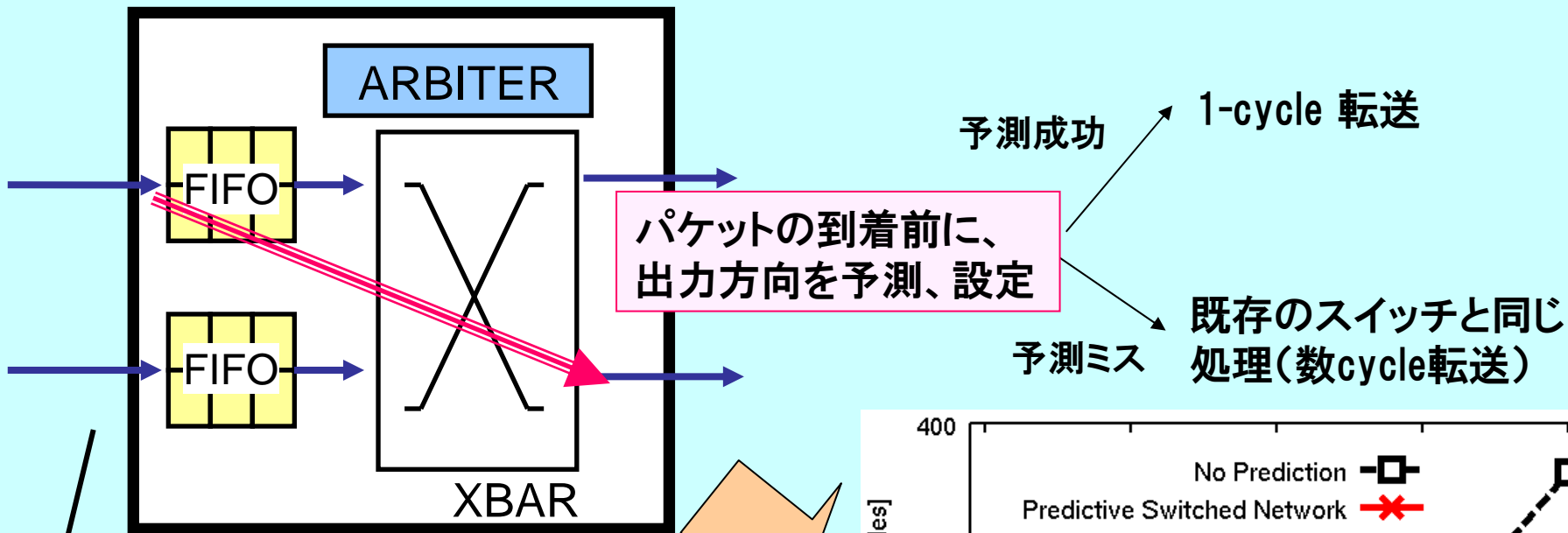


# 超並列計算機における超低遅延ネットワークに関する研究

国立情報学研究所 鯉渕 道紘 (koibuchi@nii.ac.jp)

◆ バリア同期操作などのサポートのために、NWバンド幅以外にも遅延の削減が重要

- 予測機構を追加し、投機実行を行うスイッチを提案



規則性により予測は  
80~95%成功!



HPC スイッチ

